

PAT-NO: JP361170053A

DOCUMENT-IDENTIFIER: JP 61170053 A

TITLE: LEAD FRAME FOR SEMICONDUCTOR DEVICE

PUBN-DATE: July 31, 1986

INVENTOR-INFORMATION:

NAME

TANAKA, TOSHINORI

HANDA, TAKAYASU

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP60010112

APPL-DATE: January 23, 1985

INT-CL (IPC): H01L023/48

US-CL-CURRENT: 257/677, 257/E23.046

ABSTRACT:

PURPOSE: To load a semiconductor chip, which could not have been loaded, on a lead frame having a large number of pins by previously thinning plate thickness up to 30% before forming a pattern for an inner lead.

CONSTITUTION: A lead frame is manufactured by using a 42% Fe-Ni alloy in 0.25mm plate thickness, but only the material plate thickness of sections corresponding to inner leads 2 is machined through etching to approximately 0.125mm of approximately 50% reduction first, and a pattern for the lead frame is machined. A tab 1 is not machined at that time. Outer leads 3, frames 4 and tie bars 6 are left naturally as they are 0.25mm thick. When shaping patterns for the inner leads, a 42% Fe-Ni alloy in approximately 0.125mm plate thickness is machined through etching, thus extremely thinning the leads at the pitches of the noses of the inner leads of minimally approximately 0.25mm, then acquiring the lead frame having a pattern of narrow lead intervals.

COPYRIGHT: (C)1986,JPO&Japio

DERWENT-ACC-NO: 1986-241596

DERWENT-WEEK: 198637

COPYRIGHT 2004 DERWENT INFORMATION LTD

TITLE: Lead-frame of semiconductor device sealed with resin -
where inner lead portion is thinner than other portion
NoAbstract Dwg 3/4

PATENT-ASSIGNEE: NEC CORP[NIDE]

PRIORITY-DATA: 1985JP-0010112 (January 23, 1985)

PATENT-FAMILY:

| PUB-NO | PUB-DATE | LANGUAGE | PAGES | MAIN-IPC |
|----------------------|---------------|----------|-------|----------|
| JP <u>61170053</u> A | July 31, 1986 | N/A | 003 | N/A |

APPLICATION-DATA:

| PUB-NO | APPL-DESCRIPTOR | APPL-NO | APPL-DATE |
|--------------|-----------------|----------------|------------------|
| JP 61170053A | N/A | 1985JP-0010112 | January 23, 1985 |

INT-CL (IPC): H01L023/48

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

TITLE-TERMS: LEAD FRAME SEMICONDUCTOR DEVICE SEAL RESIN INNER LEAD
PORTION
THINNER PORTION NOABSTRACT

DERWENT-CLASS: A85 L03 U11

CPI-CODES: A12-E04; A12-E07C; L04-C23;

EPI-CODES: U11-D03A;

⑫ 公開特許公報(A) 昭61-170053

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)7月31日

H 01 L 23/48

7357-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体装置用リードフレーム

⑮ 特 願 昭60-10112

⑯ 出 願 昭60(1985)1月23日

⑰ 発 明 者 田 中 俊 範 東京都港区芝5丁目33番1号 日本電気株式会社内
⑱ 発 明 者 半 田 隆 保 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体装置用リードフレーム

2. 特許請求の範囲

樹脂封止型の半導体装置に使用するリードフレームにおいて、樹脂封止されるインナーリード部の板厚が他の部分よりも薄く形成されていることを特徴とする半導体装置用リードフレーム。

1. 発明の詳細な説明

〔産業上の利用分野〕

本発明は樹脂封止型半導体装置に使用されるリードフレームに関するものである。

〔従来の技術〕

従来から半導体装置用リードフレームは、帯状の金属板を用いてプレス法あるいはエッチング法により製造され、第4図の平面図に示すように、半導体チップの搭載されるタブ1、このタブの周

囲に伸びたインナーリード2、及び外部に伸びたアウターリード3など、全ての部分が同一の厚さで構成されていた。4はフレーム、5はガイドホール、6はタイバーである。

〔発明が解決しようとする問題点〕

上述した従来の同一厚さのリードフレームは、封止樹脂より導出されるアウターリードの変形及び破断が生じないように所定の強度が要求されることから、一般的に0.15~0.3mm厚さのものが使用されて来た。一方、インナーリードは、アウターリードの場合と異なり、タブからある適当な距離にインナーリード先端を配置する必要があり、微細な加工が要求されるものである。微細なインナーリードパターンを形成するためには、材料厚さを薄くする必要があり、材料厚さを薄くすることによりリードピッチは小さくできるようになるが、リードフレームの材料全体の厚さを薄くしたのではアウターリード強度が満足されないこととなり、更に半導体チップの熱放散性の低下をも招いてしまうことになるので、上記0.15~0.3mm厚さ

が使用されて来た。従って、64ピン以上のよう
な多ピンになるにつれて、タブが小さい場合には、
インナーリード先端の最小ピッチに限界があるた
めに、インナーリード先端がタブから遠い位置に
配置されることとなり、半導体チップ電極とイン
ナーリードとを接続するボンディングワイヤが長
くなって変形し易くなり、ついにはワイヤ切れあ
るいは隣接インナーリードとの短絡不良を多発す
るという欠点があった。

〔問題点を解決するための手段〕

本発明は樹脂封止されるインナーリード部のリ
ードフレーム厚を他の部分よりも薄くすることに
より、インナーリード先端位置をタブから遠ざけ
ることなくインナーリードのピッチを小さくでき
るようにしたもので、タブは半導体装置の熱放散
性を低下させないために薄くしていない。

〔実施例〕

次に実施例を用いて本発明をさらに詳細に説明
する。

第1図は本発明の一実施例の14ピン樹脂封止

第1図のリードフレームは、インナーリードの
表の面を加工して薄くした場合であり、半導体装
置に組立てられた場合は第2図の断面図のようにな
るが、裏面を薄くした場合も同様な効果を得る
ことができるもので、その場合は第3図の断面図
に示したような半導体装置を得ることが可能であ
る。第2図、第3図において、7は半導体チップ、
8はボンディングワイヤ、9は樹脂である。

〔発明の効果〕

以上説明したように、本発明はインナーリード
パターン形成前に前もって板厚を30%~70%
に薄くすることにより、インナーリードのパター
ンをより微細にコントロールすることが可能であ
り、多ピンにおけるリードフレームで、従来不可
能であった小さな半導体チップの搭載が、半導体
装置の製造不良率を高めることなく、また信頼性
を低下させることなく可能となった。さらに、半
導体チップ搭載部であるタブは、薄くしていない
ので、半導体チップの熱放散性を損なうことがな
い。尚、本発明の実施例では、14ピンの例を上

型半導体装置用リードフレームの斜視図である。
板厚0.25mm厚の42% Fe-Ni合金を用いてリー
ドフレームを製造するものであるが、まずインナ
ーリード2に相当する部分の材料板厚のみを約50
%減の0.125±0.01mm程度にエッチング加工し、
その後リードフレームパターンを加工した。こ
の場合、タブ1は薄く加工せず、0.25mmのままとし
た。もちろん、アウターリード3、フレーム4、
タイバー6も0.25mmのままである。次いで、イ
ンナーリードパターン形成の際には、板厚が約0.125
mmの42% Fe-Ni合金の加工をエッチングで実
施し、その結果、インナーリード先端のピッチが
最小約0.25mmと非常にリードが細く、またリード
間隔の狭いパターンを有するリードフレームが得
られた。このように、インナーリード先端の最小
ピッチは、リードフレームの板厚によって決って
くるので、インナーリード先端部分の板厚は、必
要とするピン数に応じ、またリードフレーム強度
あるいは加工精度などを考慮して、板厚の30~
70%の範囲で設定すればよい。

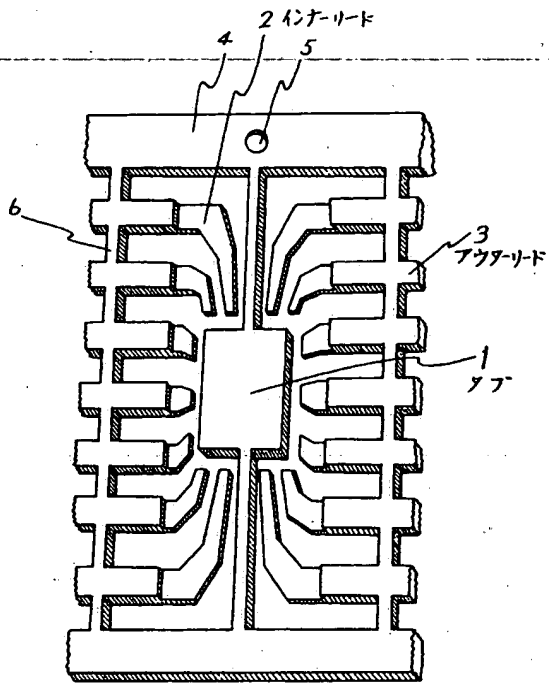
げたが、本発明はピン数に制限なく使用可能であ
り、特に64ピン以上の多ピンの場合に有効とな
るものである。

4. 図面の簡単な説明

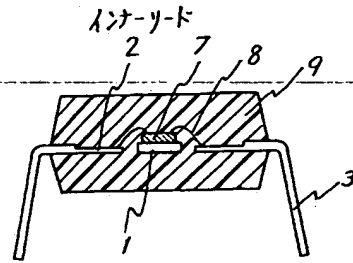
第1図は本発明の実施例のリードフレーム斜視
図、第2図及び第3図はそれぞれ本発明のリード
フレームを使用した半導体装置の断面図、第4図
は従来の同一厚さで構成されているリードフレー
ムの平面図である。

1……タブ、2……インナーリード、3……ア
ウターリード、4……フレーム、5……ガイドホ
ール、6……タイバー、7……半導体チップ、8
……ボンディングワイヤ、9……樹脂。

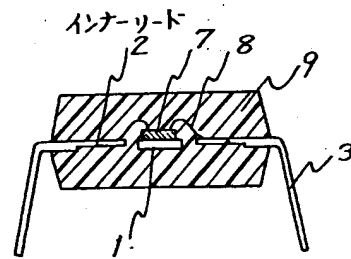
代理人 弁理士 内 原 晋



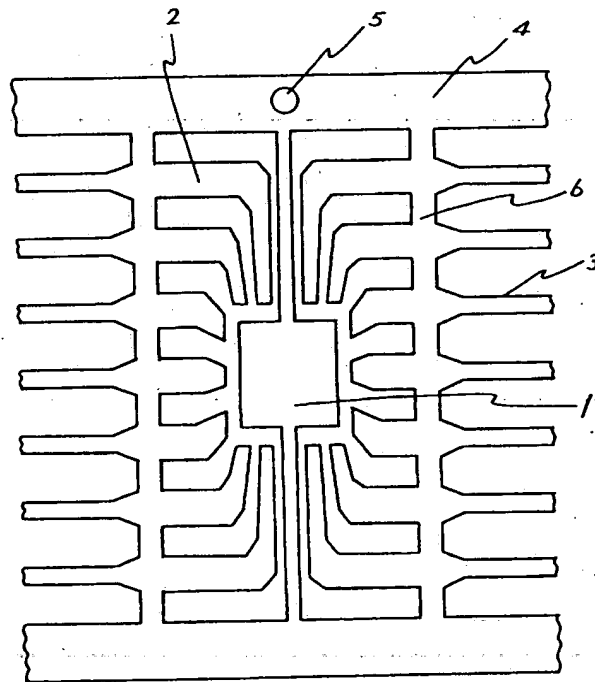
第 1 図



第 2 図



第 3 図



第 4 図